



Express Mail No. EV347012591US

Ministero delle Attività Produttive
Direzione Generale per lo Sviluppo Produttivo e la Competitività
Ufficio Italiano Brevetti e Marchi
Ufficio G2

Autenticazione di copia di documenti relativi alla domanda di brevetto per: **Invenzione Industriale**

N. **MI2002 A 001583**



*Si dichiara che l'unita copia è conforme ai documenti originali
depositati con la domanda di brevetto sopraspecificata, i cui dati
risultano dall'accluso processo verbale di deposito.*

16 GIU. 2003

Roma, li

IL DIRIGENTE

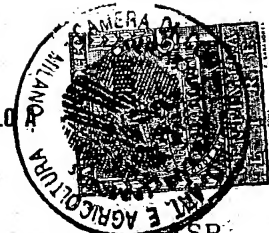
D.ssa Paola DI CINTIO

AL MINISTERO DELLE ATTIVITÀ PRODUTTIVE

UFFICIO ITALIANO BREVETTI E MARCHI - ROMA

DOMANDA DI BREVETTO PER INVENZIONE INDUSTRIALE, DEPOSITO RISERVE, ANTICIPATA ACCESSIBILITÀ AL PUBBLICO

MODULO A



A. RICHIEDENTE (I)

1) Denominazione STMicroelectronics S.r.l. SR
Residenza Agrate Brianza (Milano) codice 00951900968
2) Denominazione _____
Residenza _____ codice _____

B. RAPPRESENTANTE DEL RICHIEDENTE PRESSO L'U.I.B.M.

cognome nome FERRARI Barbara e altri cod. fiscale _____
denominazione studio di appartenenza Botti & Ferrari S.r.l.
via Locatelli n. 5 città Milano cap 20124 (prov) MI

C. DOMICILIO ELETTIVO destinatario

via _____ n. _____ città _____ cap _____ (prov) _____

D. TITOLO

classe proposta (sez/cl/sci) _____ gruppo/sottogruppo _____

Metodo di decodifica automatica per la mappatura e la selezione di un dispositivo di memoria non volatile con un'interfaccia seriale di comunicazione LPC nello spazio di indirizzamento disponibile su schede madri.

ANTICIPATA ACCESSIBILITÀ AL PUBBLICO: SI ☐ NO ☒

SE ISTANZA: DATA _____ N° PROTOCOLLO _____

E. INVENTORI DESIGNATI

cognome nome
1) SCHILLACI Paolino 3) LA MALFA Antonino
2) POLI Salvatore 4) _____

F. PRIORITÀ

| nazione o organizzazione | tipo di priorità | numero di domanda | data di deposito | allegato S/R |
|--------------------------|------------------|-------------------|------------------|--------------|
| 1) _____ | _____ | _____ | ____/____/____ | _____ |
| 2) _____ | _____ | _____ | ____/____/____ | _____ |

| SCIOGLIMENTO RISERVE | |
|----------------------|----------------|
| Data | N° Protocollo |
| ____/____/____ | ____/____/____ |
| ____/____/____ | ____/____/____ |

G. CENTRO ABILITATO DI RACCOLTA CULTURE DI MICRORGANISMI, denominazione

H. ANNOTAZIONI SPECIALI



DOCUMENTAZIONE ALLEGATA

N. es.

| | |
|---|---|
| Doc. 1) <u>12</u> <u>PROV</u> n. pag. <u>20</u> | riassunto con disegno principale, descrizione e rivendicazioni (obbligatorio 1 esemplare) |
| Doc. 2) <u>12</u> <u>PROV</u> n. tav. <u>09</u> | disegno (obbligatorio se citato in descrizione, 1 esemplare) |
| Doc. 3) <u>1</u> <u>RIS</u> | lettera d'incarico, procura o nomenclatura procura generale |
| Doc. 4) <u>10</u> <u>RIS</u> | designazione inventore |
| Doc. 5) <u>10</u> <u>RIS</u> | documenti di priorità con traduzione in italiano |
| Doc. 6) <u>10</u> <u>RIS</u> | autorizzazione o atto di cessione |
| Doc. 7) <u>10</u> | nominativo completo del richiedente |

| SCIOGLIMENTO RISERVE | |
|----------------------------|----------------|
| Data | N° Protocollo |
| ____/____/____ | ____/____/____ |
| ____/____/____ | ____/____/____ |
| ____/____/____ | ____/____/____ |
| ____/____/____ | ____/____/____ |
| confronta singole priorità | |
| ____/____/____ | ____/____/____ |

8) attestati di versamento, totale Euro EURO duecentonovantuno/80 obbligatorio

COMPILATO IL 18/07/2002 FIRMA DEL(I) RICHIEDENTE(I) FERRARI Barbara

CONTINUA SI/NO NO

DEL PRESENTE ATTO SI RICHIEDE COPIA AUTENTICA SI/NO SI

CAMERA DI COMMERCIO IND. ART. E AGR. DI MILANO MILANO codice 115

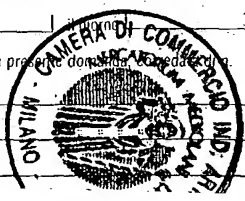
VERBALE DI DEPOSITO NUMERO DI DOMANDA MI2002A 001583 DUEMILADUE

L'anno DUEMILADUE LUGLIO del mese di _____

il(i) richiedente(i) sopraindicato(i) ha(hanno) presentato a me sottoscritto la presente domanda di brevetto per invenzione industriale, depositando _____ fogli aggiuntivi per la concessione del brevetto sopraindicato.

I. ANNOTAZIONI VARIE DELL'UFFICIALE ROGANTE

_____ UFFICIALE ROGANTE



RIASSUNTO INVENZIONE CON DISEGNO PRINCIPALE, DESCRIZIONE E RIVENDICAZIONE

NUMERO DOMANDA: MI2002A 001583 REG. A

DATA DI DEPOSITO 18/07/2002

NUMERO BREVETTO

DATA DI RILASCIO

D. TITOLO

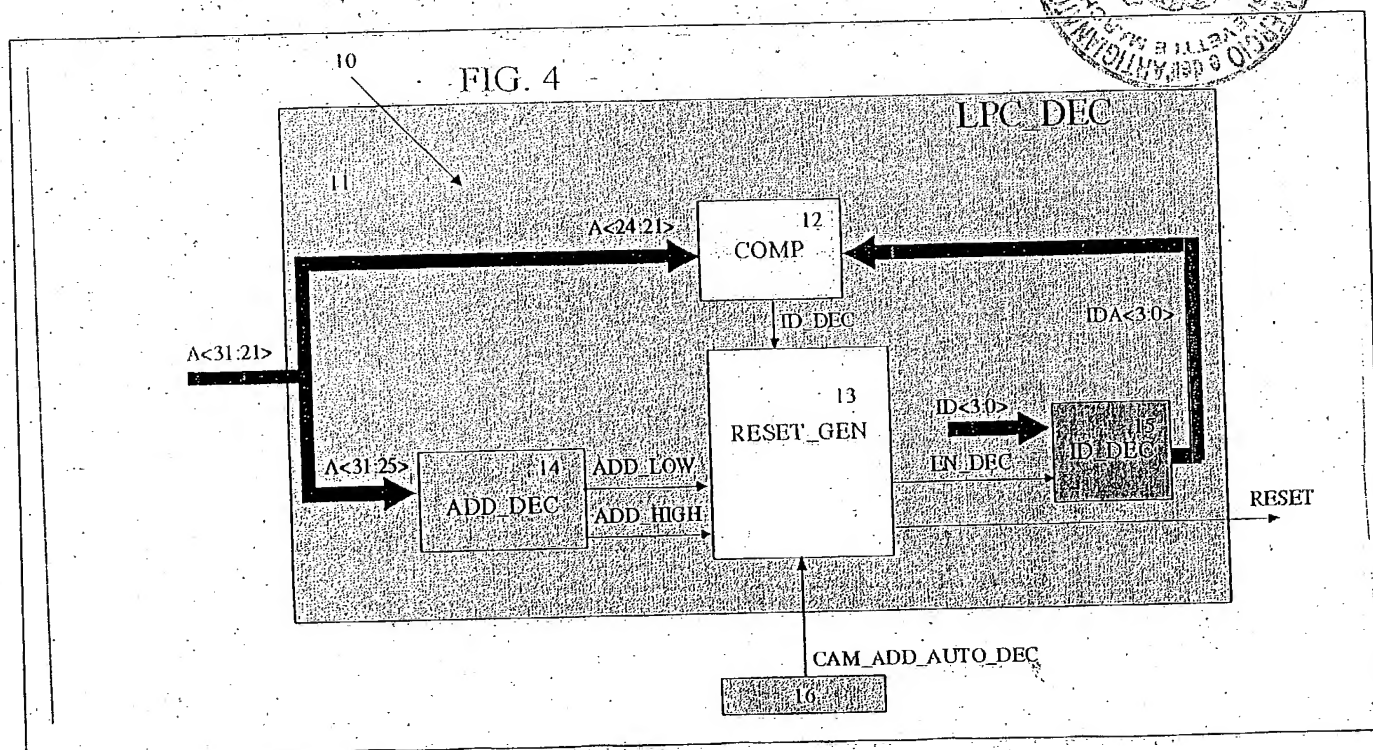
Metodo di decodifica automatica per la mappatura e la selezione di un dispositivo di memoria non volatile con un'interfaccia seriale di comunicazione LPC nello spazio di indirizzamento disponibile su schede madri.

L. RIASSUNTO

L'invenzione riguarda un metodo di decodifica automatica per la mappatura e la selezione di un dispositivo di memoria non volatile con un'interfaccia seriale di comunicazione LPC nello spazio di indirizzamento disponibile su schede madri. Nel dispositivo di memoria viene incorporata una struttura logica (10) che permette una corretta decodifica per indirizzare la memoria al top dello spazio indirizzabile o al bottom dello stesso spazio, vale a dire in entrambi i due casi possibili. Tale logica incorpora un registro non volatile la cui informazione è memorizzata in una CAM (Content Address Memory) per abilitare la mappatura automatica della memoria nello spazio di memoria indirizzabile.



M. DISEGNO



Domanda di brevetto per invenzione industriale dal titolo: "**Metodo di decodifica automatica per la mappatura e la selezione di un dispositivo di memoria non volatile con un'interfaccia seriale di comunicazione LPC nello spazio di indirizzamento disponibile su schede madri**"

a nome di: **STMicroelectronics Srl**

con sede in: **Agrate Brianza (Mi)**

* * * * * **MI 2002A 001583**

DESCRIZIONE

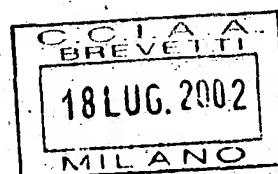
Campo di applicazione

La presente invenzione riguarda un sistema di decodifica automatica per l'indirizzamento di una memoria su scheda madre di un elaboratore elettronico del tipo PC Personal Computer.

Più in particolare, ma non esclusivamente, l'invenzione riguarda l'implementazione hardware della decodifica automatica per l'indirizzamento in una scheda madre per PC nello spazio di memoria disponibile di una memoria flash dotata di almeno un'interfaccia con protocollo seriale LPC (Low Pin Count).

La presente invenzione riguarda inoltre un dispositivo elettronico di memoria integrato monoliticamente su semiconduttore e dotato di un'interfaccia pseudo parallela.

Più in particolare, ma non esclusivamente, l'invenzione riguarda una memoria Flash per applicazioni standard integrata con un blocco d'interfaccia LPC (Low Pin Count), utilizzato durante le applicazioni del normale funzionamento, e con un blocco di interfaccia



parallela, utilizzato quasi esclusivamente in fase di testing.

Arte nota

Il dispositivo elettronico integrato a cui si applica l'invenzione di memoria è una memoria Flash per applicazioni su scheda madre (motherboard) per PC Intel-like e si presenta esternamente con undici
5 piedini (pin) di indirizzo, otto piedini di dati e alcuni piedini di controllo tra i quali il segnale di sincronismo o di clock CLK e un segnale di setting delle due interfacce IC.

Il dispositivo di memoria oggetto dell'invenzione è dotato di
10 due interfacce di comunicazione: una parallela o pseudo parallela, A/Amux interface, e una seriale, LPC interface.

La prima è pensata per effettuare operazioni veloci di pre-programmazione prima dell'inserimento della memoria su motherboard o durante la fase di testing del dispositivo con equipaggiamenti di
15 testing automatizzati (ATE). La seconda, si usa durante il normale funzionamento del personal computer.

Esiste un segnale di selezione, detto IC, che permette di passare da una interfaccia di funzionamento all'altra .

Attualmente, il software per i flussi di testing sia a livello EWS
20 (Testing su wafer) che a livello Final Test (Testing su dispositivo assemblato) è stato concepito per un funzionamento in modalità parallela. In sostanza, in fase di testing tutti gli indirizzi e tutti i dati considerati vengono forniti in modalità parallela, mentre solamente il segnale di clock CLK e altri quattro piedini risultano necessari per il
25 protocollo seriale di comunicazione.

Com'è ben noto in questo specifico settore tecnico, l'operazione di lettura di una locazione di memoria della matrice di celle presuppone come prima cosa il passaggio dell'indirizzo della locazione stessa.

5 Nella qui allegata figura 1 è illustrata schematicamente la struttura di una scheda madre di un elaboratore elettronico 1 di tipo PC. Come possiamo osservare dalla figura 1, i blocchi 2 e 3, denominati come I/O Controller e Memory Controller, sono deputati a mettere in comunicazione un processore 10 della scheda madre e le periferiche 6,
10 7 di sistema con una memoria 5, dove è memorizzato il sistema operativo BIOS del dispositivo; ciò avviene per ogni tipo di operazione.

Gli altri blocchi 8, 9 del sistema sono quelli che permettono l'interfacciamento dell'elaboratore 1 con il mondo esterno e sono qui evidenziati solo a puro titolo descrittivo.

15 Nel circuito integrato della memoria sono disponibili, tra gli altri, ulteriori quattro pin o piedini detti ID<3:0> tramite i quali è possibile indirizzare più memorie nello stesso sistema in modalità LPC. Il blocco deputato alla gestione dell'indirizzamento nello spazio disponibile di memoria è il Memory Controller 3.

20 Cerchiamo di descrivere più dettagliatamente il meccanismo di selezione di una predeterminata memoria tra diverse memorie disponibili nel sistema.

Ogni memoria ha a disposizione quattro pin ID. Con quattro bit disponibili è possibile avere fino a $2^4=16$ combinazioni differenti.

25 Questo significa che, fissando lo spazio massimo di memoria

indirizzabile pari a 64 Mbit, è possibile indirizzare fino a sedici memorie da quattro Mbit o otto memorie da otto Mbit ciascuna. Inoltre, nello spazio massimo di indirizzamento, è possibile avere contemporaneamente memorie della stessa dimensione o di dimensione
5 differente, rispettando lo spazio disponibile di indirizzamento.

Come è possibile vedere dallo schema a matrice di figura 2, indirizzando rispettivamente memorie da otto Mbit e da quattro Mbit si possono ottenere diverse configurazioni. Infatti, ad una memoria da otto Mbit possono seguire memorie da otto Mbit o due memorie da quattro
10 Mbit, ma se la prima memoria indirizzabile è una memoria di quattro Mbit, possono seguire memorie da 4 Mbit per complessivi 8 Mbit e solo successivamente memorie da 8 Mbit poiché le finestre di spazio indirizzabile dal controllore 3 possono essere o di 4Mbit o di 8 Mbit e dispositivi a più alta capacità (8 Mbit in questo caso) delimitano la
15 finestra massima indirizzabile.

Ricapitolando, con altre parole, se la prima memoria indirizzabile è una memoria da 4Mbit può seguire solo una memoria da 4 Mbit per un massimo di 8 Mbit.

Pertanto, la seconda colonna della figura 2 mostra un caso in
20 realtà non realizzabile.

Il controllore 3 ha il compito di selezionare quale memoria indirizzare. Tale controllore 3 comprende un registro di selezione di BIOS che contiene le informazioni necessarie per il corretto mapping delle memorie.

25 Le memorie vengono mappate nello spazio di indirizzamento



grazie alla presenza dei pin d'indirizzamento ID.

Supponiamo di voler mappare al massimo dello spazio di indirizzamento la prima memoria, cioè quella con $ID_{<3:0>}=0000$, le memorie seguenti hanno $ID_{<3:0>}=0001$, 0010 e così via incrementando di un bit l'indirizzo della memoria da mappare rispetto a quella già mappata.

Assunto ciò, per mappare più memorie nello stesso sistema i pin ID di ciascuna memoria vengono posti a livello hardware ad un indirizzo logico corrispondente. Per capire a questo punto con quale memoria il controllore 3 vuole colloquiare il protocollo di comunicazione LPC viene in aiuto. Infatti come si può osservare dalla figura 3, dopo la fase di avvio (start) del protocollo e quella di "cycletype", in cui viene specificata quale operazione di lettura o di scrittura occorre effettuare, seguono otto cicli di clock in cui la memoria viene interrogata per passare l'indirizzo della locazione di memoria su cui effettuare l'operazione. Vale la pena di notare che durante l'esecuzione del protocollo LPC le informazioni sono scambiate sempre attraverso un bus a quattro bit. Poiché per indirizzare una locazione di una memoria di otto Mbit occorrono venti bit e nel protocollo LPC sono disponibili ben otto cicli di clock in corrispondenza dei quali è possibile passare 32 bit, non tutti i bit passati sono necessari per l'indirizzamento.

È dunque possibile scegliere quattro di questi 32 bit da usare per il confronto con i pin ID e sapere dalla corrispondenza bit a bit quale memoria è interrogata, ovvero è indirizzata, per eseguire l'operazione di cui sopra. È possibile usare, per esempio, i bit $A_{<31:25>}$

per la mappatura (mapping) e i bit A<24:21> per il confronto con i pin ID. In caso di corrispondenza (matching) tra questi bit conviene proseguire con il resto del protocollo per ultimare l'operazione richiesta.

5 Si assume solitamente di porre la prima memoria da indirizzare al top dello spazio indirizzabile e andare via via incrementando i pin ID e decrementando gli indirizzi logici.

Possiamo vedere un esempio nella tabella seguente la corrispondenza tra i bit di indirizzo e i pin ID in un indirizzamento di tipo Top-Down.

10

Tabella 1:

| Memory Number | ID3 | ID2 | ID1 | ID0 | A24 | A23 | A22 | A21 |
|---------------|-----|-----|-----|-----|-----|-----|-----|-----|
| 1 (Boot) | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 2 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 |
| 3 | 0 | 0 | 1 | 0 | 1 | 1 | 0 | 1 |
| 4 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| 5 | 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| 6 | 0 | 1 | 0 | 1 | 1 | 0 | 1 | 0 |
| 7 | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| 8 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| 9 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| 10 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 0 |
| 11 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 1 |
| 12 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 13 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 |
| 14 | 1 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 15 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 |
| 16 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |

Per indirizzare la memoria che sta al top dello spazio indirizzabile è necessario, per convenzione, passare per i bit di indirizzo

A<24:21> il valore 1111 mentre per la memoria successiva il valore 1110 e così via. La memoria successiva, in quanto tale deve avere un valore per i pin ID incrementato di uno rispetto al valore dei pin ID della memoria precedente, ma poiché si indirizza dall'alto verso il basso (top toward bottom) l'indirizzo logico deve decrementare.

Ciò implica che è prevista internamente alla memoria una logica che permette il confronto tra i pin ID e i bit di indirizzo.

Se si volesse porre la prima memoria in corrispondenza dell'indirizzo meno significativo seguendo un'opposta convenzione bottom-up, questa logica andrebbe modificata per permettere un confronto uno ad uno tra i pin ID e i bit di indirizzo, cioè per indirizzare la memoria più bassa (con ID<3:0>=0000) si dovrebbe dare ai bit di indirizzo A<24:21> il valore 0000 e non 1111.

In tal modo, se si vuole mappare la prima memoria all'indirizzo più significativo o a quello meno significativo cioè al top o al bottom dello spazio di memoria indirizzabile è necessario prevedere una decodifica differente nei due casi.

La presente invenzione si innesta su questa problematica tecnica per proporre un'innovativa modalità di decodifica automatica per la mappatura di un dispositivo di memoria non volatile, in particolare di tipo Flash, avente un'interfaccia seriale di comunicazione LPC (Low Pin Count) e nello spazio di indirizzamento disponibile su schede madri.

Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione

è quella di prevedere una logica che permetta una corretta decodifica per indirizzare una memoria al top dello spazio indirizzabile o al bottom dello stesso spazio, vale a dire in entrambi i due casi possibili. Una tale logica dovrebbe incorporare un registro non volatile la cui informazione
5 è memorizzata in una CAM (Content Address Memory) per abilitare la mappatura automatica della memoria nello spazio di memoria indirizzabile.

In sostanza, mentre nella tecnica nota viene fissato per convenzione l'indirizzamento top-down o bottom-up dello spazio
10 indirizzabile e, di conseguenza, viene utilizzata una memoria che consente l'uno o l'altro tipo di indirizzamento, secondo l'invenzione la struttura logica abilitata dalla CAM consente di prescindere dal tipo di indirizzamento dello spazio di memoria e, a seconda della modalità di indirizzamento usata, la logica automaticamente riconosce il mapping
15 top-down o bottom-up.

In questo modo una qualunque memoria può essere usata a prescindere dal tipo di indirizzamento.

Sulla base di questa idea di soluzione l'invenzione propone un metodo di decodifica automatica per la mappatura e la selezione di un
20 dispositivo di memoria non volatile avente un'interfaccia seriale di comunicazione LPC, caratterizzato dal fatto di prevedere un confronto detti pin d'indirizzamento di ciascuna memoria ed una porzione dei bit della codifica d'indirizzamento per identificare sia tipo di indirizzamento da utilizzare, top-down o bottom-up, sia per stabilire quale memoria è
25 interrogata dal controllore per una data operazione.



L'invenzione riguarda anche un dispositivo integrato di memoria non volatile dotato di almeno un'interfaccia con protocollo seriale LPC e di alcuni pin di indirizzamento per essere montato su una scheda madre con altre memorie dello stesso tipo in collegamento bidirezionale con un controllore che lo pone in comunicazione con un processore alloggiato a sua volta sulla scheda madre, caratterizzato dal fatto di comprendere nell'interfaccia LPC una struttura logica di identificazione sia della memoria, sia del tipo di indirizzamento da utilizzare, top-down o bottom-up; detta struttura logica comprendendo almeno un comparatore per confrontare una porzione dei bit della codifica d'indirizzamento con detti pin d'indirizzamento.

Le caratteristiche ed i vantaggi del metodo e del dispositivo secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di un esempio di attuazione dato a titolo indicativo e non limitativo con riferimento ai disegni allegati.

Breve descrizione dei disegni

la figura 1 mostra una vista a blocchi schematici delle struttura di una scheda madre di un elaboratore elettronico di tipo PC (Personal Computer) di tipo noto;

la figura 2 mostra una vista schematica che illustra le modalità di indirizzamento di memorie aventi differenti dimensioni;

la figura 3 illustra in un diagramma a medesima base temporale l'evoluzione di segnali di pilotaggio della fase di mappatura di una memoria non volatile secondo modalità di tipo noto;

la figura 4 mostra una vista a blocchi schematici di una

struttura logica preposta alla decodifica automatica dell'indirizzamento di una memoria non volatile;

la figura 5 mostra un particolare della struttura logica secondo l'invenzione;

5 la figura 6 illustra l'evoluzione di un insieme di segnali logici a medesima base temporale durante una simulazione di funzionamento della logica di figura 5 con i seguenti livelli di segnale: $A<31:25>=H$, $A<24:21>$ vs ID dà esito negativo

10 la figura 7 illustra l'evoluzione di un insieme di segnali logici a medesima base temporale durante una simulazione di funzionamento della logica di figura 5 con i seguenti valori dei bit d'indirizzamento: $A<31:25>$ qualunque, $A<24:21>=High$

15 la figura 8 illustra l'evoluzione di un insieme di segnali logici a medesima base temporale durante una simulazione di funzionamento della logica di figura 5 con i valori dei bit d'indirizzamento: $A<31:25>=High$, $A<24:21>=High$

20 la figura 9 illustra l'evoluzione di un insieme di segnali logici a medesima base temporale durante una simulazione di funzionamento della logica di figura 5 con i valori dei bit d'indirizzamento: $A<31:25>=Low$, $A<24:21>=Low$.

Descrizione dettagliata

Con riferimento a tali figure, e in particolare all'esempio di figura 5, con 10 è globalmente e schematicamente indicata una struttura logica realizzata in accordo con la presente invenzione per la
25 decodifica automatica e la mappatura di un dispositivo 5 di memoria

non volatile, in particolare di tipo Flash.

Il dispositivo 5 può essere anche del tipo incorporato nella scheda madre di figura 1 unitamente ad altre memorie dello stesso tipo; pertanto, la struttura logica 10 rende il dispositivo 5 di memoria capace di attuare il metodo secondo l'invenzione, ma non richiede particolari adattamenti della scheda madre 1 in cui poter incorporare il dispositivo di memoria.

La memoria 5 ha un'interfaccia seriale di comunicazione LPC (Low Pin Count).

Cerchiamo di descrivere dettagliatamente l'architettura secondo l'invenzione che consente la decodifica automatica dell'indirizzamento della memoria 5.

Vantaggiosamente, la logica 10 permette una corretta decodifica per indirizzare la memoria 5 al top dello spazio indirizzabile o al bottom dello stesso spazio; vale a dire in entrambi i due casi possibili. Alla logica 10 è associato un registro 16 non volatile la cui informazione è memorizzata in una cosiddetta CAM (Content Address Memory) 17 per abilitare la mappatura automatica della memoria 5 nello spazio di memoria indirizzabile.

In sostanza, mentre nella tecnica nota viene fissato per convenzione l'indirizzamento top-down o bottom-up dello spazio indirizzabile e, di conseguenza, viene utilizzata una memoria che consente l'uno o l'altro tipo di indirizzamento, secondo l'invenzione la struttura logica 10, abilitata dalla CAM 17, consente di prescindere dal tipo di indirizzamento dello spazio di memoria e, a seconda della

modalità di indirizzamento usata, la logica 10 automaticamente riconosce il mapping top-down o bottom-up.

In questo modo una qualunque memoria 5 può essere selezionata a prescindere dal tipo di indirizzamento.

5 Come possiamo dunque osservare dallo schema a blocchi di figura 4, i bit di indirizzo più significativi $A\langle 31:21 \rangle$ destinati all'indirizzamento entrano in un blocco 11 di decodifica LPC, in particolar modo i bit $A\langle 31:25 \rangle$ servono per identificare il tipo di indirizzamento top-down o bottom-up mentre alcuni altri bit intermedi
10 $A\langle 24:21 \rangle$ sono utilizzati per essere comparati con i pin ID $\langle 3:0 \rangle$ all'interno di un blocco comparatore 12, per stabilire quale memoria è interrogata dal controllore 3 per l'operazione in esame.

I bit $A\langle 31:25 \rangle$ sono applicati ad un blocco 14 selettore destinato a generare due distinti segnali ADD_LOW e ADD_HIGH i quali
15 sono entrambi ad un valore logico basso LOW se l'indirizzamento è, rispettivamente, bottom-up ($A\langle 31:25 \rangle = \%b_0$) o top-down ($A\langle 31:25 \rangle = \%b_1$).

Se i segnali sono invece entrambi ad un valore logico alto HIGH, vale a dire se non si presenta nessuno dei due indirizzamenti
20 sopradetti, essi determinano un impulso di reset, generato da un blocco generatore 13 RESET_GEN, che re-inizializza una macchina a stati esterna alla logica 10 e deputata all'esecuzione del protocollo di comunicazione LPC.

I segnali ADD_LOW e ADD_HIGH vengono elaborati all'interno
25 del medesimo blocco generatore 13 e determinano il segnale EN_DEC.



Questo segnale EN_DEC di abilitazione consente la selezione dei pin ID<3:0> o dei suoi negati i quali sono confrontati nel comparatore 12 con gli altri bit A<24:21>. Se la comparazione ha avuto esito negativo viene emesso un segnale ID_DEC a valore logico alto in uscita dal blocco comparatore 12 per generare ancora una volta un impulso di reset della macchina a stati.

La struttura della CAM 17 è illustrata nella figura 5; più in particolare, in questa figura è illustrata solo una porzione circuitale del ramo di sinistra della CAM in quanto la struttura del ramo di destra è del tutto simmetrica e per ragioni di semplicità viene riportata una sola delle due porzioni gemelle.

La CAM 17 comprende tre celle di memoria FLASH, indicate con 21, collegate in parallelo tra loro e deputate alla lettura dell'informazione in essa contenuta. Un'ulteriore cella FLASH 18 avente gate e source in comune con le precedenti tre celle e differente drain deputata alla scrittura dell'informazione.

Un latch 19 a invertitori riceve sui propri ingressi i rami circuitali di scrittura di destra e di sinistra associati alla cella 18.

Infatti il latching tra la parte sinistra e la parte destra determina il valore sul segnale di uscita CAM_OUT che serve per abilitare la logica 10 di decodifica.

Una porzione circuitale 20 di polarizzazione completa la struttura della CAM 17.

Il funzionamento della logica 10 precedentemente descritto è chiarito anche dalla seguente tabella di verità che riporta i valori logici

assunti dai vari segnali a seconda delle risultanze dei confronti:

Tabella 2:

| ADD_LOW | ADD_HIGH | EN_DEC | NOTES | COMPARE |
|---------|----------|--------|-------------|-----------------------|
| 0 | 0 | - | NO POSSIBLE | NO POSSIBLE |
| 0 | 1 | 1 | A<31:25>=L | A<24:21> vs ID<3:0> |
| 1 | 0 | 0 | A<31:25>=H | A<24:21> vs ID_N<3:0> |
| 1 | 1 | 0 | RESET | RESET |

Il caso impossibile (NO POSSIBLE) è dovuto al fatto che gli indirizzi più significativi A<31:25> non possono essere contemporaneamente bassi e alti. Il caso di reset è dovuto al fatto che non si hanno indirizzi A<31:25> bassi o alti.

Da prove di simulazione effettuate presso la Richiedente si è ottenuta conferma dei risultati del metodo secondo l'invenzione.

Per le simulazioni si è ipotizzato di utilizzare una memoria indirizzata con pin ID<3:0>=0000.

Dalla figura 6 si può osservare, come anticipato precedentemente, che il protocollo LPC prevede una fase di avvio in cui si ha un fronte di salita del segnale START che indica l'inizio della operazione e una fase di "cycletype" in cui si specifica il tipo di operazione da eseguire, nell'esempio qui descritto a titolo indicativo e non limitativo si tratta di un'operazione di scrittura, in corrispondenza della quale si alza il segnale START_WRITE. Queste fasi sono caratterizzate dallo stesso stato ST<0> della macchina a stati. Successivamente, nello stato ST<1>, si ha il passaggio dell'indirizzo a

gruppi di quattro bit alla volta.

Di seguito, in successione, evolvono le restanti fasi corrispondenti agli stati ST<4:7>. Il bus deputato al passaggio di indirizzi e dati è identificato dalla sigla DQPAD<3:0>.

5 La figura 6 riporta il caso in cui $A<31:25>=H$, infatti ADD_HIGH è basso, ma $A<24:21>$ non sono tutti alti (ID_DEC alto), quindi il confronto con gli ID dà esito negativo scatenando un reset.

10 La figura 7, al contrario, prende in esame il caso in cui i valori logici degli indirizzi $A<31:25>$ sono qualunque (ADD_LOW=ADD_HIGH=H), scatenando un reset anche se i seguenti indirizzi $A<24:21>$ superano il confronto con gli ID (ID_DEC=L).

15 Le restanti figure 8 e 9 evidenziano il caso in cui gli indirizzi $A<31:21>$ sono alti (ADD_HIGH=L, ADD_LOW=H, EN_DEC=L, ID_DEC=L) e il caso in cui gli indirizzi $A<31:21>$ sono bassi (ADD_HIGH=H, ADD_LOW=L, EN_DEC=H, ID_DEC=L) con una conseguente decodifica corretta degli indirizzi. Come possiamo osservare da queste due figure nessun segnale di reset parte consentendo alla macchina a stati di andare avanti per le successive fasi del protocollo LPC.

20 La soluzione proposta dalla presente invenzione ha il vantaggio di consentire l'uso di una memoria da inserire all'interno di una scheda madre indipendentemente dalla modalità di mappatura della memoria stessa e nello spazio di indirizzamento consentito. Ciò risolve il problema di usare memorie differenti a seconda del tipo di
25 mappatura top-down o bottom-up specifico per la scheda madre in uso

e generalizzarne l'adottabilità per qualunque tipo di scheda madre.

Si ottiene così un notevole risparmio dei costi di produzione in quanto è possibile prevedere un solo set di maschere e si facilita la fase di testing utilizzando un solo set di routine.



RIVENDICAZIONI

1. Metodo di decodifica automatica per la mappatura e la selezione di un dispositivo di memoria (5) non volatile avente un'interfaccia seriale di comunicazione LPC, del tipo in cui la memoria è dotata di alcuni pin (ID) di indirizzamento e montata su una scheda madre (1) con altre memorie dello stesso tipo in collegamento bidirezionale con un controllore (3) che la pone in comunicazione con un processore (10) alloggiato a sua volta sulla scheda madre (1), caratterizzato dal fatto di prevedere un confronto di detti pin d'indirizzamento (ID) di ciascuna memoria ed una porzione dei bit della codifica d'indirizzamento per identificare sia tipo di indirizzamento da utilizzare, top-down o bottom-up, sia per stabilire quale memoria è interrogata dal controllore (3) per una data operazione.
2. Metodo secondo la rivendicazione 1, caratterizzato dal fatto che detto confronto è effettuato all'interno di un blocco (11) di decodifica LPC.
3. Metodo secondo la rivendicazione 2, caratterizzato dal fatto che la codifica d'indirizzamento è a trentadue bit ed i bit più significativi A<31:25> sono utilizzati per identificare il tipo di indirizzamento, mentre alcuni bit intermedi A<24:21> sono utilizzati per essere comparati con i pin d'indirizzamento (ID) per stabilire quale memoria è interrogata dal controllore (3).
4. Metodo secondo la rivendicazione 3, caratterizzato dal fatto che detti bit più significativi A<31:25> sono elaborati in un blocco

(14) di selezione in detta decodifica LPC per generare rispettivi segnali (ADD_LOW, ADD_HIGH) di identificazione del tipo d'indirizzamento.

5. Metodo secondo la rivendicazione 4, caratterizzato dal fatto che detti alcuni bit intermedi A<24:21> sono comparati con detti pin (ID) in un blocco comparatore (12) di detta decodifica LPC in asservimento ad un segnale di abilitazione (EN_DEC) generato da un blocco (13) generatore ricevente in ingresso detti segnali (ADD_LOW, ADD_HIGH) di identificazione del tipo d'indirizzamento.

6. Metodo secondo la rivendicazione 5, caratterizzato dal fatto che detto blocco (13) generatore è abilitato da un segnale uscente da un registro (16) incorporante una struttura CAM (17).

7. Dispositivo integrato di memoria (5) non volatile dotato di almeno un'interfaccia con protocollo seriale LPC e di alcuni pin (ID) di indirizzamento per essere montato su una scheda madre (1) con altre memorie dello stesso tipo in collegamento bidirezionale con un controllore (3) che lo pone in comunicazione con un processore (10) alloggiato a sua volta sulla scheda madre (1), caratterizzato dal fatto di comprendere nell'interfaccia LPC una struttura logica (10) di identificazione sia della memoria, sia del tipo di indirizzamento da utilizzare, top-down o bottom-up; detta struttura logica (10) comprendendo almeno un comparatore (12) per confrontare una porzione dei bit della codifica d'indirizzamento con detti pin d'indirizzamento (ID).

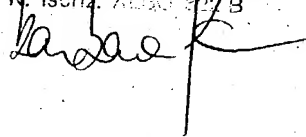
8. Dispositivo secondo la rivendicazione 7, caratterizzato dal

fatto che la codifica d'indirizzamento è a trentadue bit e che i bit più significativi A<31:25> sono elaborati in un selettore (14) per per generare rispettivi segnali (ADD_LOW, ADD_HIGH) di identificazione del tipo d'indirizzamento, mentre alcuni bit intermedi A<24:21> della codifica sono confrontati nel comparatore (12) con i pin d'indirizzamento (ID) per stabilire quale memoria è interrogata dal controllore (3).

9. Dispositivo secondo la rivendicazione 8, caratterizzato dal fatto che il confronto nel comparatore (12) è asservito ad un segnale di abilitazione (EN_DEC) generato da un blocco (13) generatore ricevente in ingresso detti segnali (ADD_LOW, ADD_HIGH) di identificazione del tipo d'indirizzamento.

10. Dispositivo secondo la rivendicazione 9, caratterizzato dal fatto che detto blocco (13) generatore è abilitato da un segnale uscente da un registro (16) incorporante una struttura CAM (17).

Ing. Barbara FERRARI
N. Iscriz. ALBO 822 B



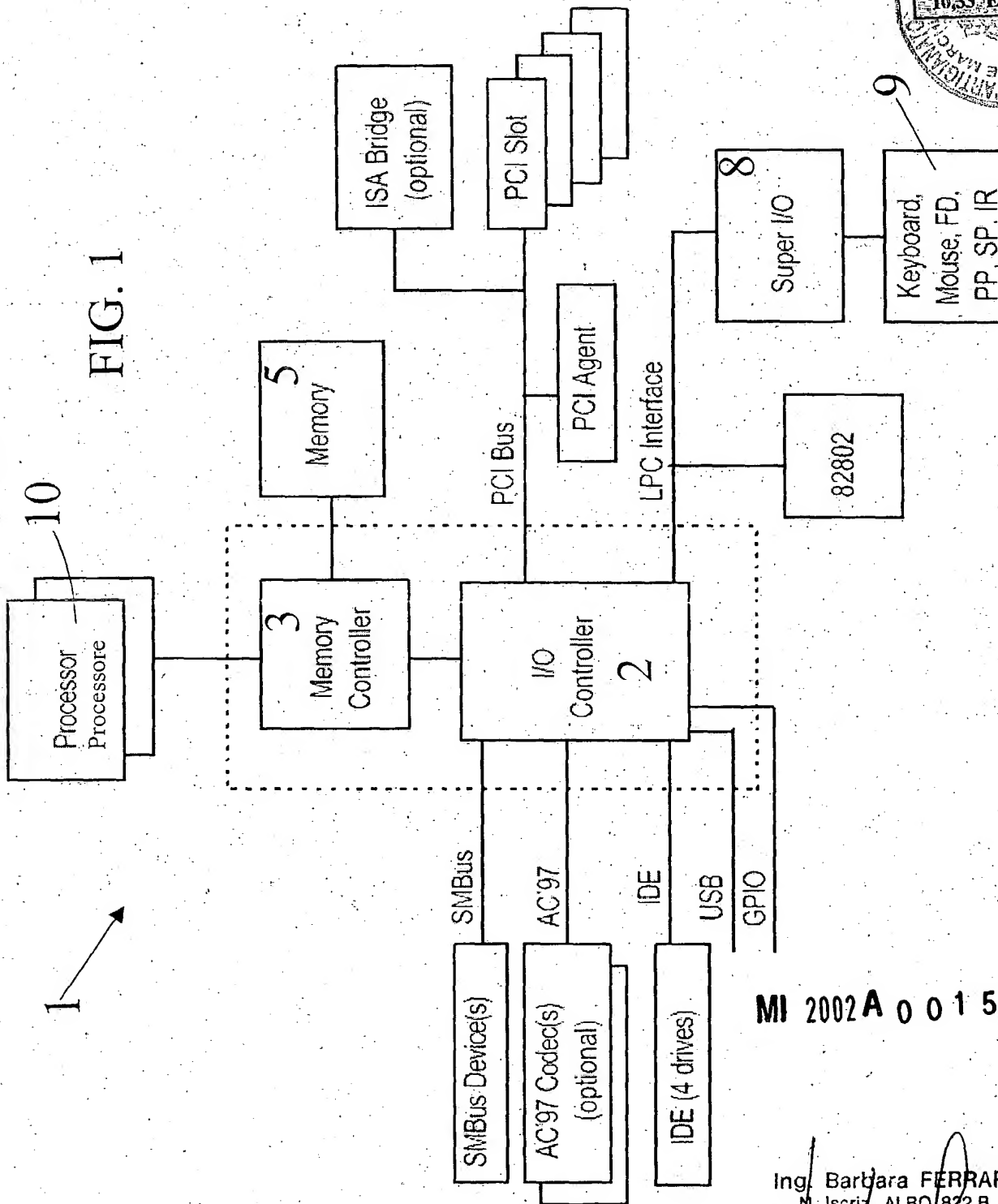


FIG. 1



MI 2002A 001583

Ing. Barbara FERRARI
N. Iscriz. ALBO 822 B



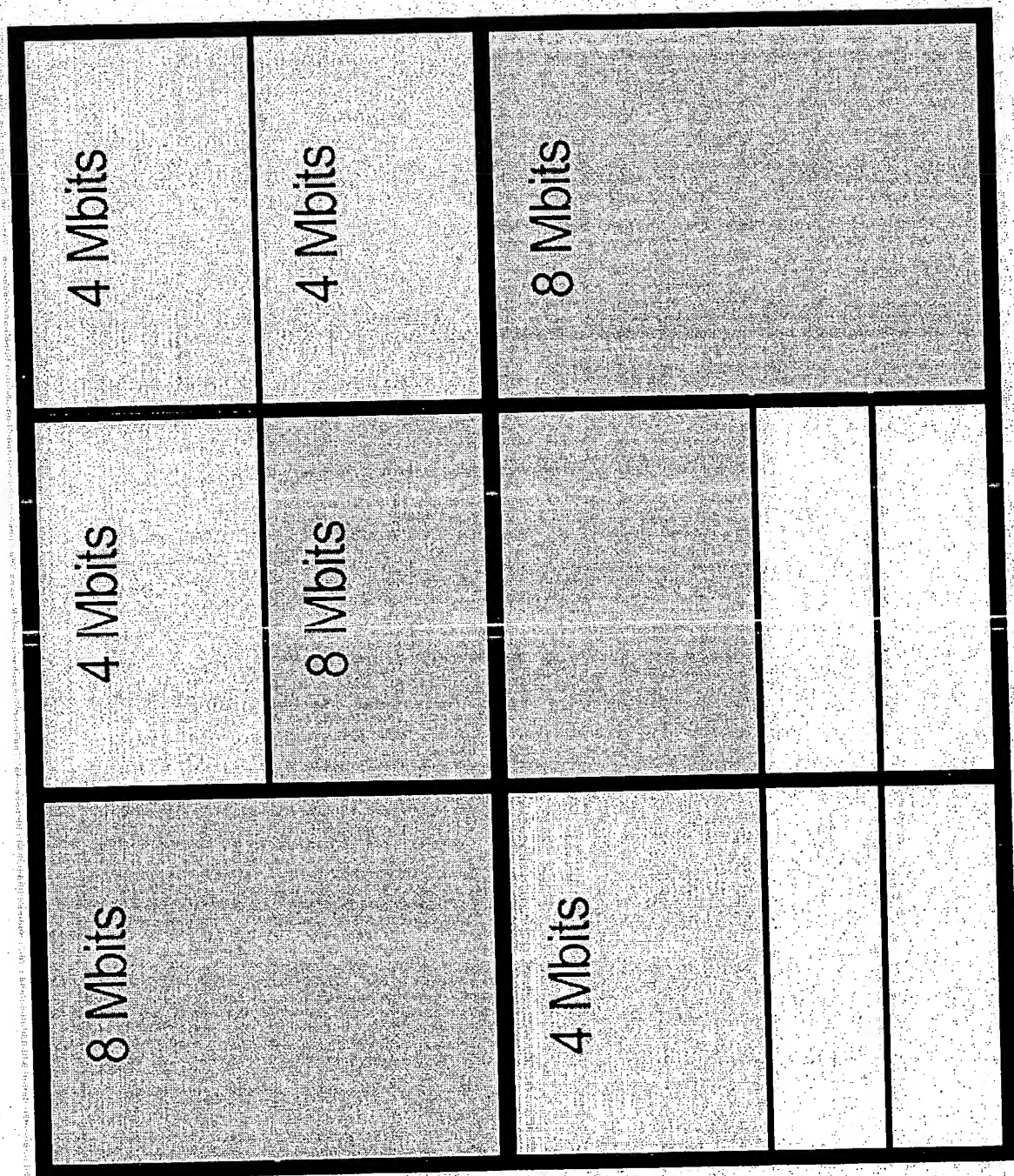


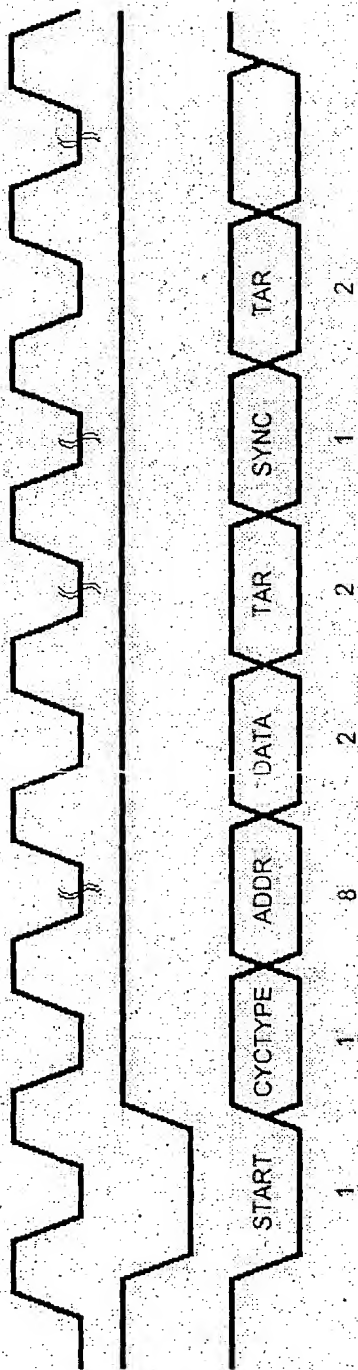
FIG. 2

MI 2002A 0 0 1 5 8 3



Ing. Barbara FERRARI
N. Iscriz. ALBO 322 B
Barbara Ferrari

FIG. 3



Number of
clock cycles

Numero di cicli di clock

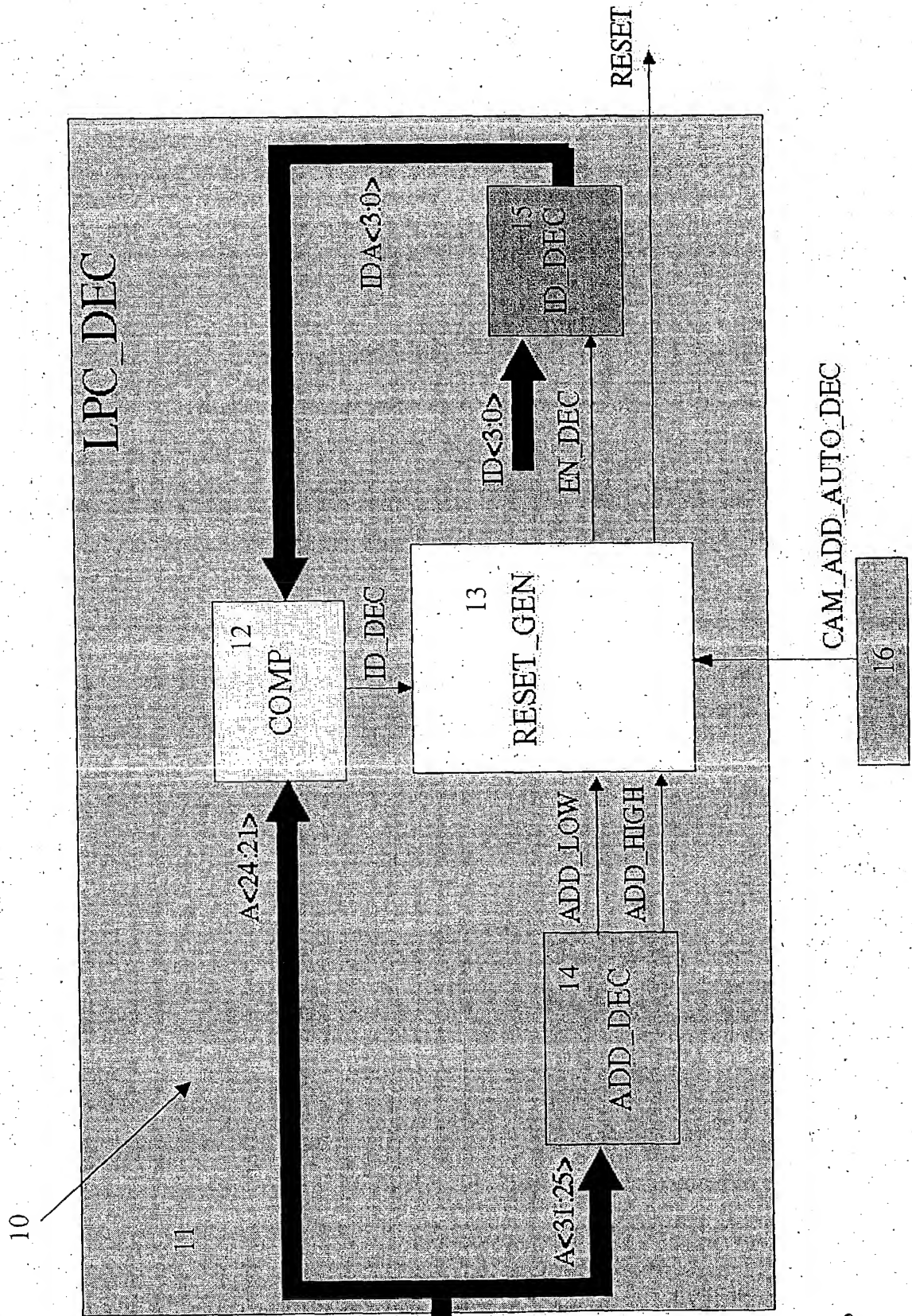
MI 2002A 0 01583



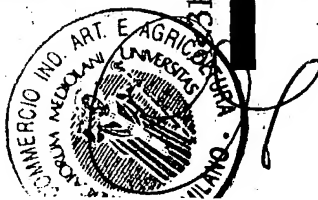
Ing. Barbara FERRARI
N. iscriz. ALBO 222 B

[Handwritten signature]

FIG. 4



MI 2002A 001583



Ing. Barbara FERRARI
N. Iscriz. ALBO 822 B

A handwritten signature in black ink, likely belonging to Ing. Barbara Ferrari.

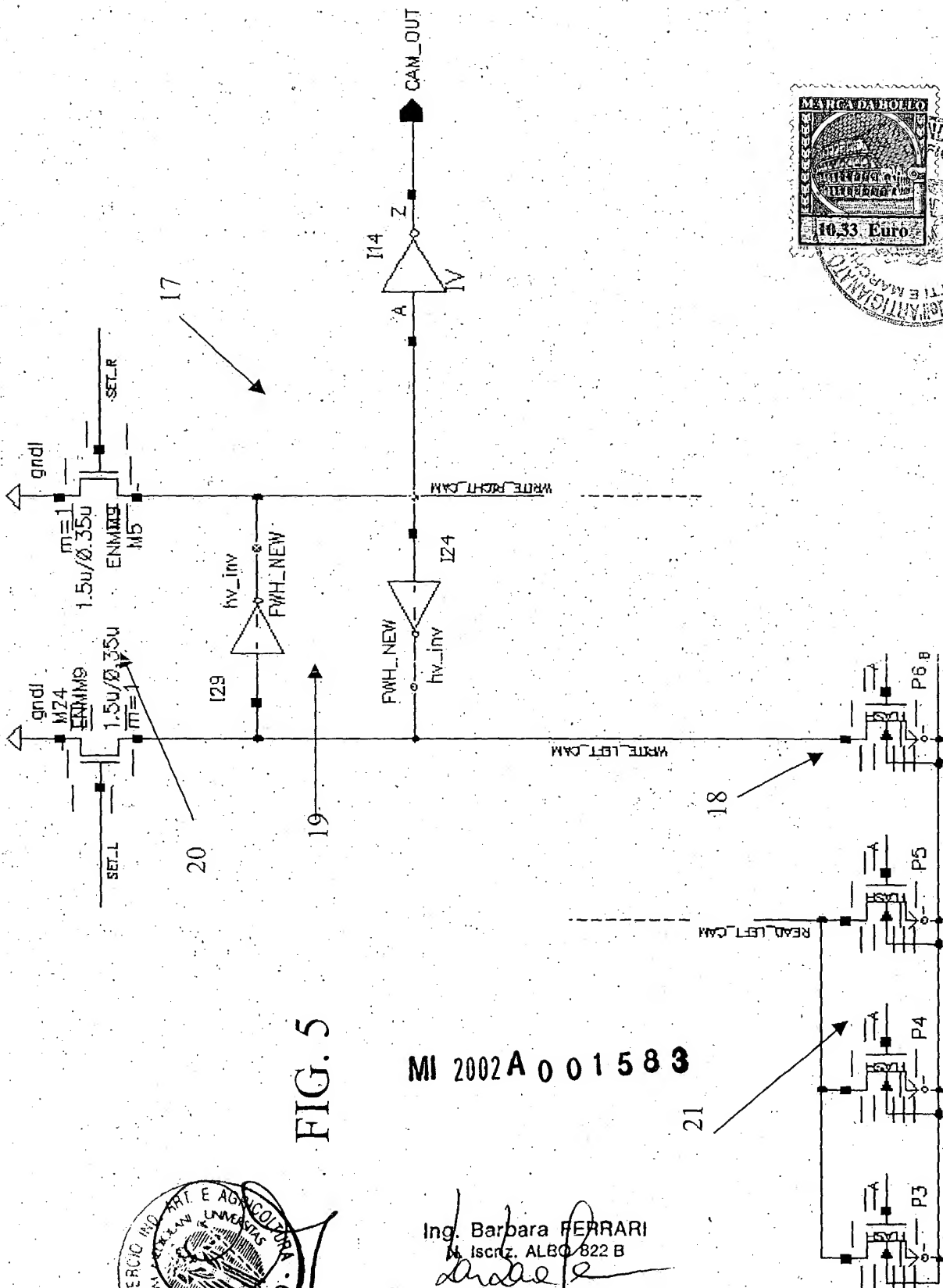


FIG. 5

MI 2002A 0 0 1 5 8 3

Ing. Barbara FERRARI
N. Iscriz. ALBO 822 B

Barbara Ferrari



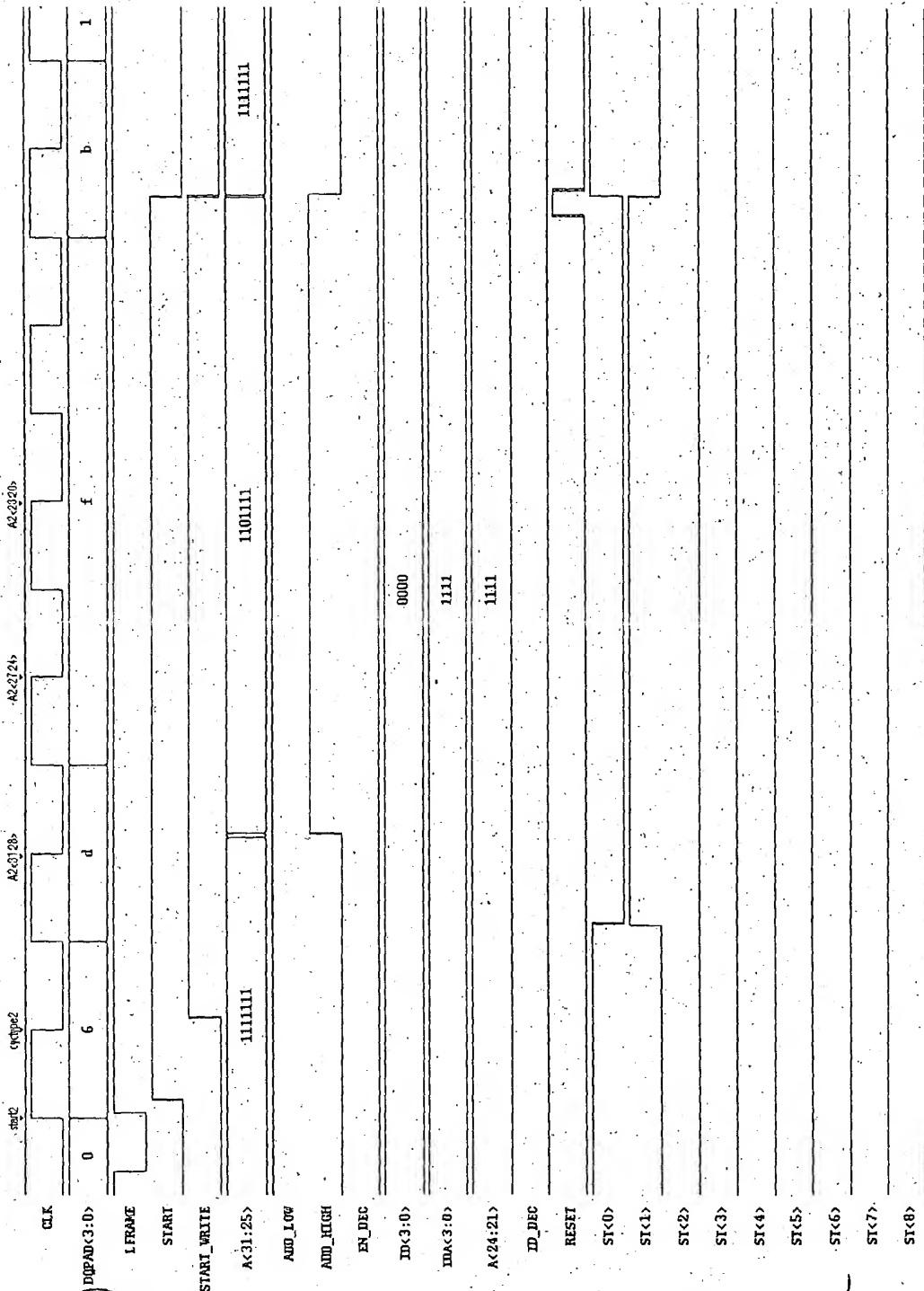
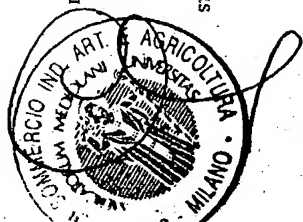


FIG. 7



MI 2002A 001583

Ing. Barbara FERRARI
N. Iscriz. ALBO 822 B
Barbara Ferrari

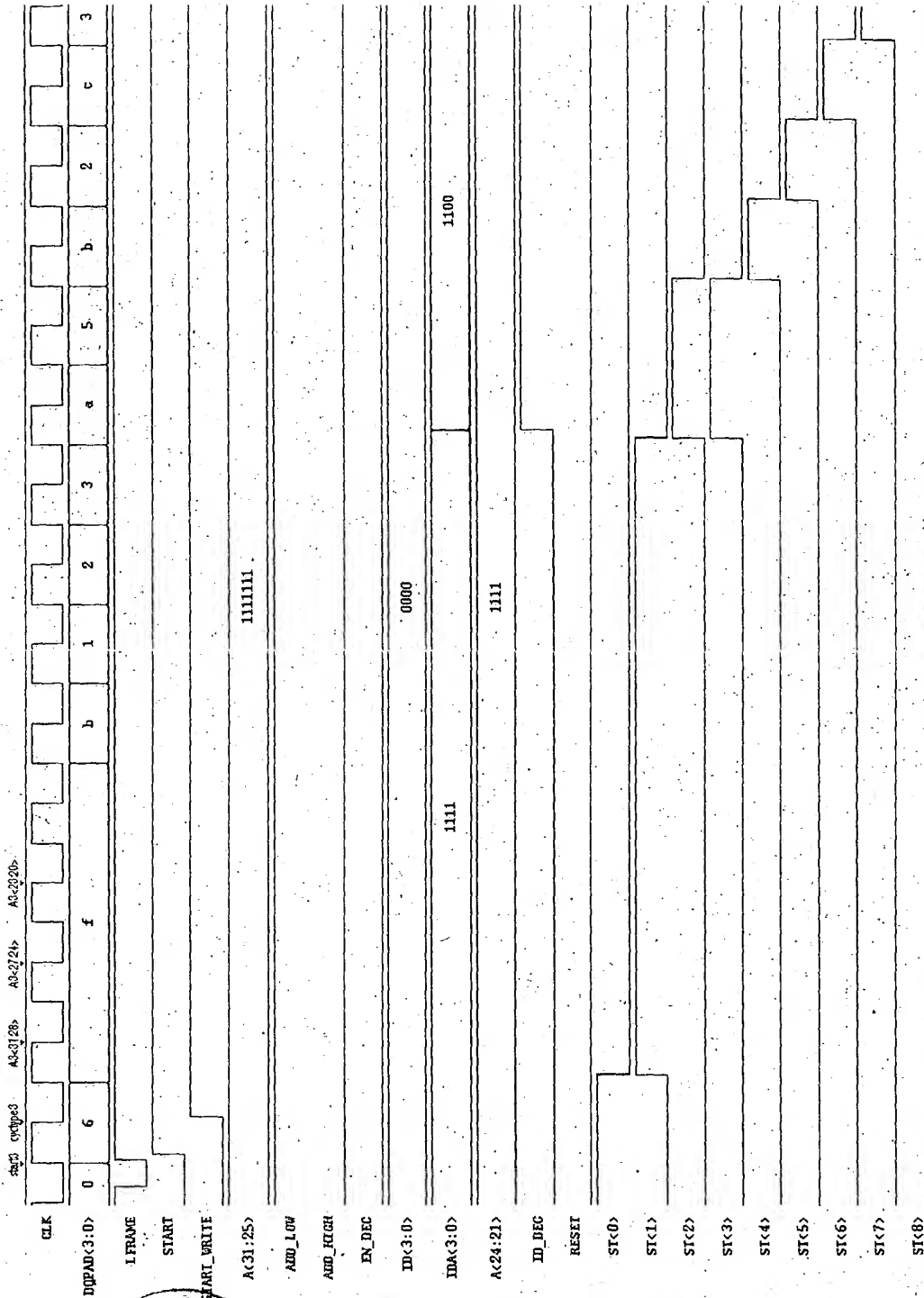


FIG. 8

MI 2002A 001583

Ing. Barbara FERRARI
N. Iscriz. ALBO 622 B
Barbara Ferrari

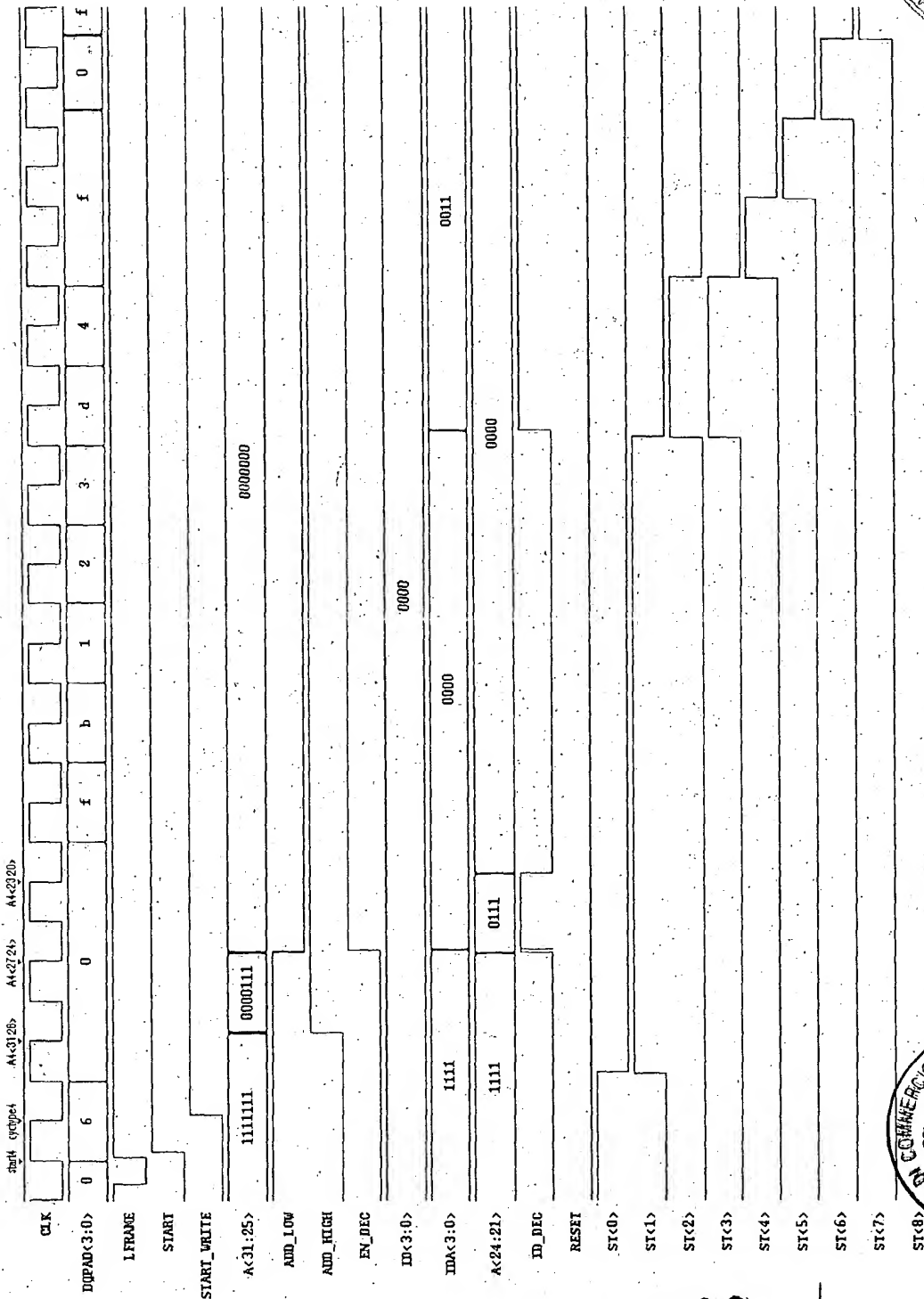


FIG. 9



MI 2002A 001583

Ing. Barbara FERRARI
N. Iscriz. ALBO 822 B